



957

Contenido

Prólogo	XXI
Prólogo a la edición en español	XXV

PARTE I Visión general

Capítulo 1. Introducción	3
1.1. Organización y arquitectura	5
1.2. Estructura y funcionamiento	6
Funcionamiento	7
Estructura	9
1.3. Esquema del libro	12
Evolución y prestaciones del computador	12
Buses del sistema	13
Memoria interna	13
Memoria externa	13
Entrada/salida	13
Apoyo al sistema operativo	13
Aritmética de computadores	14
Repertorios de instrucciones	14
Estructura y funcionamiento de la CPU	14
Computadores de repertorio reducido de instrucciones	14
Procesadores superescalares y paralelismo a nivel de instrucción	14
Funcionamiento de la unidad de control	15
Control microprogramado	15
Procesamiento paralelo	15
Lógica digital	15

1.4. Internet y recursos Web	15
Sitios Web de este libro	15
Otros sitios Web	16
Grupos de noticias USENET	16
Capítulo 2. Evolución y prestaciones de los computadores	17
2.1. Una breve historia de los computadores	19
La primera generación: los tubos de vacío	19
La segunda generación: los transistores	26
La tercera generación: los circuitos integrados	28
Últimas generaciones	34
2.2. Diseño para conseguir mejores prestaciones	38
Velocidad del microprocesador	39
Equilibrio de prestaciones	40
2.3. Evolución del Pentium y del PowerPC	42
Pentium	43
PowerPC	44
2.4. Lecturas y sitios Web recomendados	45
2.5. Problemas	46

PARTE II
El computador

Capítulo 3. Buses del sistema	49
3.1. Componentes del computador	51
3.2. Funcionamiento del computador	54
Los ciclos de captación y ejecución	54
Interrupciones	58
Funcionamiento de las E/S	65
3.3. Estructuras de interconexión	66
3.4. Interconexión con buses	67
Estructura del bus	68
Jerarquías de buses	70
Elementos de diseño de un bus	72
3.5. PCI	76
Estructura del bus	76
Órdenes del PCI	80
Transferencias de datos	81
Arbitraje	83
3.6. Lecturas y sitios Web recomendados	84
3.7. Problemas	85
Apéndice 3A. Diagramas de tiempo	87
Capítulo 4. Memoria interna	91
4.1. Conceptos básicos sobre sistemas de memoria de computadores	93

Características de los sistemas de memoria	93
Jerarquía de memoria	95
4.2. Memoria principal semiconductor	99
Tipos de memorias semiconductoras de acceso aleatorio	99
Organización	101
Lógica del chip	102
Encapsulado de los chips	104
Organización en módulos	105
Corrección de errores	106
4.3. Memoria cache	111
Principios básicos	111
Elementos de diseño de la cache	113
4.4. Organización de la cache en el Pentium II y el PowerPC	125
Organización de cache en el Pentium II	125
Organización de cache en el PowerPC	128
4.5. Organización avanzada de memorias DRAM	129
DRAM mejorada	129
DRAM cache	130
DRAM síncrona	130
DRAM rambus	131
RamLink	132
4.6. Lecturas y sitios Web recomendados	134
4.7. Problemas	135
Apéndice 4A. Prestaciones de las memorias de dos niveles	138
Localidad	138
Funcionamiento de la memoria de dos niveles	141
Prestaciones	141
Capítulo 5. Memoria externa	145
5.1. Discos magnéticos	147
Organización y formato de los datos	147
Características físicas	148
Parámetros para medir las prestaciones de un disco	152
5.2. RAID	155
Nivel 0 de RAID	156
Nivel 1 de RAID	160
Nivel 2 de RAID	160
Nivel 3 de RAID	161
Nivel 4 de RAID	162
Nivel 5 de RAID	163
Nivel 6 de RAID	163
5.3. Memoria óptica	163
CD-ROM	163
WORM	166
Disco óptico borrable	167
Disco vídeo digital	167
Discos magnético-ópticos	168
5.4. Cinta magnética	168

5.5. Lecturas y sitios Web recomendados	169
5.6. Problemas	170
Capítulo 6. Entrada/salida	173
6.1. Dispositivos externos	176
Teclado/monitor	177
Controlador de disco (Disk Drive).....	178
6.2. Módulos de E/S	180
Funciones de un módulo	180
Estructura de un módulo de E/S	182
6.3. E/S programada	183
Resumen	183
Órdenes de E/S	183
Instrucciones de E/S	185
6.4. E/S mediante interrupciones	186
Procesamiento de la interrupción	187
Cuestiones de diseño	190
Controlador de interrupciones Intel 82C59A	191
La interfaz programable de periféricos Intel 82C55A	192
6.5. Acceso directo a memoria	195
Inconvenientes de la E/S programada y con interrupciones	195
Funcionamiento del DMA	195
6.6. Canales y procesadores de E/S	198
La evolución del funcionamiento de las E/S	198
Características de los canales de E/S	198
6.7. La interfaz externa: SCSI y FireWire	200
Tipos de interfaces	200
Configuraciones punto-a-punto y multipunto	201
Interfaz SCSI (Small Computer System Interface)	201
Bus serie FireWire	209
6.8. Lecturas y sitios Web recomendados	214
6.9. Problemas	214
Capítulo 7. El soporte del sistema operativo	219
7.1 Conceptos básicos sobre sistemas operativos	221
Objetivos y funciones del sistema operativo	221
Tipos de sistemas operativos	224
7.2 Planificación	232
Planificación a largo plazo	233
Planificación a medio plazo	233
Planificación a corto plazo	233
7.3. Gestión de la memoria	238
Intercambio (Swapping)	238
Definición de particiones	240
Paginación	242
Memoria virtual	243

Buffer de traducción anticipada (Translation Lookaside Buffer)	247
Segmentación	247
7.4. Gestión de memoria en el Pentium II y en el PowerPC	250
Hardware de gestión de memoria en el Pentium II	250
Hardware de gestión de memoria en el PowerPC	255
7.5. Lecturas y sitios Web recomendados	258
7.6. Problemas	258

PARTE III
La unidad central de procesamiento

Capítulo 8. Aritmética del computador	265
8.1. La unidad aritmético-lógica (ALU)	267
8.2. Representación de enteros	267
Representación en signo y magnitud	268
Representación en complemento a dos	269
Conversión entre longitudes de bits diferentes	271
Representación en coma fija	273
8.3. Aritmética con enteros	273
Negación	273
Suma y resta	275
Multiplicación	277
División	284
8.4. Representación en coma flotante	287
Fundamentos	287
Estándar del IEEE para la representación binaria en coma flotante	291
8.5. Aritmética en coma flotante	293
Suma y resta	294
Multiplicación y división	297
Consideraciones sobre precisión	297
Estándar del IEEE para la aritmética binaria en coma flotante	300
8.6. Lecturas y sitios Web recomendados	302
8.7. Problemas	303
Apéndice 8A. Sistemas de numeración	306
Sistema decimal	306
Sistema binario	307
Conversión entre binario y decimal	307
Notación hexadecimal	309
Capítulo 9. Repertorios de instrucciones: características y funciones	311
9.1. Características de las instrucciones máquina	313
Elementos de una instrucción máquina	313
Representación de las instrucciones	314
Tipos de instrucciones	315
Número de direcciones	316
Diseño del repertorio de instrucciones	318

9.2. Tipos de operandos	319
Números	319
Caracteres	320
Datos lógicos	321
9.3. Tipos de datos en el Pentium II y el PowerPC	321
Tipos de datos en el Pentium II	321
Tipos de datos en el PowerPC	322
9.4. Tipos de operaciones	324
Transferencia de datos	326
Aritméticas	327
Lógicas	328
Conversión	330
Entrada/salida	331
Control del sistema	331
Control de flujo	331
9.5. Tipos de operaciones en el Pentium II y el PowerPC	336
Tipos de operaciones del Pentium II	336
Tipos de operaciones del PowerPC	343
9.6. Lenguaje ensamblador	346
9.7. Lecturas recomendadas	348
9.8. Problemas	348
Apéndice 9A. Pilas	353
Pilas	353
Implementación de la pila	353
Evaluación de expresiones	355
Apéndice 9B. «Little-, Big y Bi-Endian»	357
Orden de los bytes	357
Orden de los bits	361
10. Repertorios de instrucciones: modos de direccionamiento y formatos ...	363
10.1. Direccionamiento	365
Direccionamiento inmediato	367
Direccionamiento directo	367
Direccionamiento indirecto	367
Direccionamiento de registros	368
Direccionamiento indirecto con registro	369
Direccionamiento con desplazamiento	369
Direccionamiento de pila	371
10.2. Modos de direccionamiento en el Pentium y el PowerPC	371
Modos de direccionamiento del Pentium II	371
Modos de direccionamiento del PowerPC	374
10.3. Formatos de instrucciones	376
Longitud de instrucción	377
Asignación de los bits	378
Instrucciones de longitud variable	381
10.4. Formatos de instrucciones del Pentium y del PowerPC	385
Formatos de instrucción del Pentium II	385

Formatos de instrucción del PowerPC	388
10.5. Lecturas recomendadas	389
10.6. Problemas	390
Capítulo 11. Estructura y función de la CPU	395
11.1. Organización del procesador	395
11.2. Organización de los registros	396
Registros visibles para el usuario	397
Registros de control y de estado	398
Ejemplos de organizaciones de registros de microprocesadores	400
11.3. El ciclo de instrucción	401
El ciclo indirecto	402
Flujo de datos	403
11.4. Segmentación de instrucciones	405
Estrategia de segmentación	405
Prestaciones de un cauce segmentado	410
Tratamiento de saltos	417
Segmentación del Intel 80486	417
11.5. El procesador Pentium	419
Organización de los registros	419
Procesamiento de interrupciones	424
11.6. El procesador PowerPC	427
Organización de los registros	427
Procesamiento de interrupciones	430
11.7. Lecturas recomendadas	433
11.8. Problemas	434
Capítulo 12. Computadores de repertorio reducido de instrucciones	437
12.1. Características de la ejecución de instrucciones	439
Operaciones	441
Operandos	442
Llamadas a procedimientos	443
Consecuencias	444
12.2. Utilización de un amplio banco de registros	444
Ventanas de registros	445
Variables globales	447
Un amplio banco de registros frente a una cache	447
12.3. Optimización de registros basada en el compilador	448
12.4. Arquitectura de repertorio reducido de instrucciones	450
¿Por qué CISC?	451
Características de las arquitecturas de repertorio reducido de instrucciones	452
Características CISC frente a RISC	455
12.5. Segmentación de cauce en RISC	457
Segmentación con instrucciones regulares	457
Optimización de la segmentación	459

12.6. MIPS R4000	460
Repertorio de instrucciones	461
Cauce de instrucciones	464
12.7. SPARC	468
Conjunto de registros del SPARC	468
Repertorio de instrucciones	468
Formato de instrucción	472
12.8. La controversia entre RISC y CISC	473
12.9. Lecturas recomendadas	474
12.10. Problemas	475
Capítulo 13. Paralelismo a nivel de instrucciones, y procesadores superesca-	
lares	479
13.1. Visión de conjunto	481
Superescalar frente a supersegmentado	482
Limitaciones	483
13.2. Cuestiones relacionadas con el diseño	486
Paralelismo a nivel de instrucciones y paralelismo de la máquina	486
Políticas de emisión de instrucciones	487
Renombramiento de registros	490
Paralelismo de la máquina	491
Predicción de saltos	492
Ejecución superescalar	493
Implementación superescalar	493
13.3. Pentium II	494
Unidad de captación y decodificación de instrucciones	495
Buffer de reordenación	497
Unidad de envío/ejecución	497
Unidad de retiro	499
Predicción de saltos	499
13.4. PowerPC	500
PowerPC 601	500
Procesamiento de saltos	504
PowerPC 620	507
13.5. MIPS R10000	507
13.6. UltraSPARC-II	509
Organización interna	509
Cauce segmentado	510
13.7. IA-64/MERGED	511
Motivación	512
Organización	513
Formato de instrucción	514
Ejecución con predicados	515
Carga especulativa	519
13.8. Lecturas y sitios Web recomendados	522
13.9. Problemas	523

PARTE IV
La unidad de control

Capítulo 14. Funcionamiento de la unidad de control	531
14.1. Microoperaciones	533
El ciclo de captación	534
El ciclo indirecto	536
El ciclo de interrupción	536
El ciclo de ejecución	537
El ciclo de instrucción	538
14.2. Control del procesador	539
Requisitos funcionales	539
Señales de control	540
Un ejemplo de señales de control	542
Organización interna del procesador	544
El Intel 8085	545
14.3. Implementación cableada	550
Entradas de la unidad de control	550
Lógica de la unidad de control	551
14.4. Lecturas recomendadas	553
14.5. Problemas	553
Capítulo 15. Control microprogramado	555
15.1. Conceptos básicos	557
Microinstrucciones	557
Unidad de control microprogramada	559
Control de Wilkes	562
Ventajas e inconvenientes	565
15.2. Secuenciamiento de microinstrucciones	566
Consideraciones respecto al diseño	566
Técnicas de secuenciamiento	566
Generación de direcciones	569
Secuenciamiento de microinstrucciones en el LSI-11	571
15.3. Ejecución de microinstrucciones	571
Una taxonomía de las microinstrucciones	572
Codificación de las microinstrucciones	575
Ejecución de microinstrucciones en el LSI-11	578
Ejecución de microinstrucciones en el IBM 3033	581
15.4. TI 8800	583
Formato de microinstrucción	584
Microsecuenciador	584
ALU con registros	589
15.5. Aplicaciones de la microprogramación	594
15.6. Lecturas recomendadas	595
15.7. Problemas	595

PARTE V
Organización paralela

Capítulo 16. Procesamiento paralelo	599
16.1. Organizaciones con varios procesadores	601
Tipos de sistemas de paralelos	601
Organizaciones paralelas	603
16.2. Multiprocesadores simétricos	604
Organización	605
Consideraciones de diseño de un sistema operativo de multiprocesador	609
Un SMP como gran computador	609
16.3. Coherencia de cache y protocolo MESI	613
Soluciones software	613
Soluciones hardware	614
El protocolo MESI	616
16.4. «Clusters»	619
Configuraciones de «clusters»	619
Consideraciones en el diseño del sistema operativo	622
«Clusters» frente a SMP	623
16.5. Acceso no uniforme a memoria	623
Motivación	624
Organización	624
Pros y contras de un computador NUMA	626
16.6. Computación vectorial	627
Aproximaciones a la computación vectorial	627
Unidad vectorial IBM 3090	633
16.7. Lecturas recomendadas	639
16.8. Problemas	640
Apéndice A. Lógica digital	645
A.1. Álgebra de Boole	646
A.2. Puertas	648
A.3. Circuitos combinacionales	650
Implementación de las funciones booleanas	650
Multiplexores	661
Decodificadores	662
Array lógico programable (PLA, Programable Logic Array)	664
Memoria de solo lectura (ROM, Read Only Memory)	667
Sumadores	668
A.4. Circuitos secuenciales	671
Biestables	671
Registros	674
Contadores	676
A.5. Problemas	680
Apéndice B. Proyectos para enseñar arquitectura y organización de computadores	683

B.1. Proyectos de investigación	684
B.2. Proyectos de simulación	684
B.3. Lecturas/informes	685
Apéndice C. Pentium III	687
C.1. Incidencia de las instrucciones SIMD en las aplicaciones	688
C.2. El repertorio de instrucciones SSE	690
El repertorio SSE	693
C.3. Interconexión del Pentium III a su entorno	700
C.4. Lecturas y sitios Web recomendados	700
Glosario	703
Bibliografía	713
Índice alfabético	723