

Contenido

Prólogo

Capítulo 0	Guía del lector	1
0.1	Esquema del libro	2
0.2	Internet y recursos web	2
	<i>Otros sitios web</i>	3
	<i>Grupos de noticias USENET</i>	4

PRIMERA PARTE: VISIÓN GENERAL 5

Capítulo 1	Introducción	7
1.1	Organización y arquitectura	8
1.2	Estructura y funcionamiento	9
	<i>Funcionamiento</i>	10
	<i>Estructura</i>	11
1.3	¿Por qué estudiar la organización y arquitectura de los computadores?	16
Capítulo 2	Evolución y prestaciones de los computadores	17
2.1	Una breve historia de los computadores	18
	<i>La primera generación: los tubos de vacío</i>	18
	<i>La segunda generación: los transistores</i>	26
	<i>La tercera generación: los circuitos integrados</i>	30
	<i>Últimas generaciones</i>	35
2.2	Diseño buscando mejores prestaciones	40
	<i>Velocidad del microprocesador</i>	40
	<i>Equilibrio de prestaciones</i>	41
	<i>Mejoras en la organización y arquitectura de chips</i>	44
2.3	Evolución del Pentium y del PowerPC	47
	<i>Pentium</i>	47
	<i>PowerPC</i>	48

2.4	Lecturas y sitios web recomendados	49
	<i>Sitios Web recomendados</i>	50
2.5	Palabras clave, preguntas de repaso y problemas	51
	<i>Palabras clave</i>	51
	<i>Preguntas de repaso</i>	51
	<i>Problemas</i>	51

SEGUNDA PARTE: EL COMPUTADOR 55

Capítulo 3 Perspectiva de alto nivel del funcionamiento y de las interconexiones del computador 57

3.1	Componentes del computador	58
3.2	Funcionamiento del computador	61
	<i>Los ciclos de captación y ejecución</i>	62
	<i>Interrupciones</i>	66
	<i>Funcionamiento de las E/S</i>	73
3.3	Estructuras de interconexión	75
3.4	Interconexión con buses	77
	<i>Estructura del bus</i>	77
	<i>Jerarquías de buses múltiples</i>	80
	<i>Elementos de diseño de un bus</i>	82
3.5	PCI	87
	<i>Estructura del bus</i>	88
	<i>Órdenes del PCI</i>	90
	<i>Transferencias de datos</i>	93
	<i>Arbitraje</i>	95
3.6	Lecturas y sitios web recomendados	97
	<i>Sitios web recomendados</i>	97
3.7	Palabras clave, cuestiones y problemas	97
	<i>Palabras clave</i>	97
	<i>Cuestiones</i>	98
	<i>Problemas</i>	98

Apéndice 3A	Diagramas de tiempo	101
-------------	---------------------	-----

Capítulo 4	Memoria caché	103
4.1	Conceptos básicos sobre sistemas de memoria de computadores	104
	<i>Características de los sistemas de memoria</i>	104
	<i>Jerarquía de memoria</i>	107
4.2	Principios básicos de las memorias caché	111
4.3	Elementos de diseño de la caché	114
	<i>Tamaño de caché</i>	115
	<i>Función de correspondencia</i>	115
	<i>Algoritmos de sustitución</i>	126
	<i>Política de escritura</i>	126
	<i>Tamaño de línea</i>	128
	<i>Número de cachés</i>	128
4.4	Organización de la caché en el Pentium 4 y el PowerPC	130
	<i>Organización de caché en el Pentium 4</i>	130
	<i>Organización de caché en el PowerPC</i>	133
4.5	Lecturas recomendadas	134
4.6	Palabras clave, preguntas de repaso y problemas	135
	<i>Palabras clave</i>	135
	<i>Preguntas de repaso</i>	135
	<i>Problemas</i>	136
Apéndice 4A	Prestaciones de las memorias de dos niveles	140
	<i>Localidad</i>	141
	<i>Funcionamiento de la memoria de dos niveles</i>	143
	<i>Prestaciones</i>	144
Capítulo 5	Memoria interna	149
5.1	Memoria principal semiconductor	150
	<i>Organización</i>	150
	<i>DRAM y SRAM</i>	151
	<i>Tipos de ROM</i>	154
	<i>Lógica del chip</i>	155
	<i>Encapsulado de los chips</i>	157
	<i>Organización en módulos</i>	158

5.2	Corrección de errores	158
5.3	Organización avanzada de memorias DRAM	165
	<i>DRAM síncrona</i>	165
	<i>DRAM rambus</i>	168
	<i>SDRAM DDR</i>	169
	<i>DRAM cachés</i>	169
5.4	Lecturas y sitios web recomendados	169
	<i>Sitios web recomendados</i>	170
5.5	Palabras clave, preguntas de repaso y problemas	170
	<i>Palabras clave</i>	170
	<i>Preguntas de repaso</i>	170
	<i>Problemas</i>	171
Capítulo 6	Memoria externa	175
6.1	Discos magnéticos	176
	<i>Mecanismos de lectura y escritura magnética</i>	177
	<i>Organización y formato de los datos</i>	178
	<i>Características físicas</i>	180
	<i>Parámetros para medir las prestaciones de un disco</i>	182
6.2	RAID	185
	<i>Nivel 0 del RAID</i>	188
	<i>Nivel 1 del RAID</i>	191
	<i>Nivel 2 del RAID</i>	192
	<i>Nivel 3 del RAID</i>	192
	<i>Nivel 4 del RAID</i>	193
	<i>Nivel 5 del RAID</i>	194
	<i>Nivel 6 del RAID</i>	194
6.3	Memoria óptica	196
	<i>Discos compactos</i>	196
	<i>Disco digital versátil</i>	200
6.4	Cinta magnética	201
6.5	Lecturas y sitios web recomendados	203
	<i>Sitios web recomendados</i>	203

- 6.6 Palabras clave, preguntas de repaso y problemas 204
 - Palabras clave* 204
 - Preguntas de repaso* 204
 - Problemas* 204

Capítulo 7 **Entrada/salida** 207

- 7.1 Dispositivos externos 209
 - Teclado/Monitor* 211
 - Controlador de disco (Disk Drive)* 211
- 7.2 Módulos de E/S 214
 - Funciones de un módulo* 214
 - Estructura de un módulo de E/S* 216
- 7.3 E/S programada 217
 - Resumen de la E/S programada* 218
 - Órdenes de E/S* 218
 - Instrucciones de E/S* 218
- 7.4 E/S mediante interrupciones 221
 - Procesamiento de la interrupción* 221
 - Cuestiones de diseño* 224
 - Controlador de interrupciones Intel 82C59A* 225
 - La interfaz programable de periféricos Intel 82C55A* 227
- 7.5 Acceso directo a memoria 229
 - Inconvenientes de la E/S programada y con interrupciones* 229
 - Funcionamiento del DMA* 229
 - Controlador de DMA 8237A de Intel* 231
- 7.6 Canales y procesadores de E/S 235
 - La evolución del funcionamiento de las E/S* 235
 - Características de los canales de E/S* 235
- 7.7 La interfaz externa: FireWire e Infiniband 237
 - Tipos de interfaces* 237
 - Configuraciones punto-a-punto y multipunto* 238
 - Bus Serie FireWire* 238
 - InfiniBand* 243

7.8	Lecturas y sitios web recomendados	246
	<i>Sitios web recomendados</i>	247
7.9	Palabras clave, cuestiones y problemas	247
	<i>Palabras clave</i>	247
	<i>Cuestiones</i>	247
	<i>Problemas</i>	248

Capítulo 8 Sistemas operativos 253

8.1	Conceptos básicos sobre sistemas operativos	255
	<i>Objetivos y funciones del sistema operativo</i>	255
	<i>Tipos de sistemas operativos</i>	257
8.2	Planificación	265
	<i>Planificación a largo plazo</i>	266
	<i>Planificación a medio plazo</i>	266
	<i>Planificación a corto plazo</i>	267
8.3	Gestión de la memoria	272
	<i>Intercambio (Swapping)</i>	272
	<i>Definición de particiones</i>	273
	<i>Paginación</i>	276
	<i>Memoria virtual</i>	278
	<i>Buffer de traducción anticipada (Translation Lookaside Buffer, TLB)</i>	280
	<i>Segmentación</i>	282
8.4	Gestión de memoria en el Pentium II y en el PowerPC	283
	<i>Hardware de gestión de memoria en el Pentium II</i>	283
	<i>Hardware de gestión de memoria en el PowerPC</i>	288
8.5	Lecturas y sitios web recomendados	292
	<i>Sitios web recomendados</i>	292
8.6	Palabras clave, cuestiones y problemas	292
	<i>Palabras clave</i>	292
	<i>Cuestiones</i>	293
	<i>Problemas</i>	293

TERCERA PARTE: LA UNIDAD CENTRAL DE PROCESAMIENTO 297

Capítulo 9	Aritmética del computador	301
9.1	La unidad aritmético-lógica	302
9.2	Representación de enteros	303
	<i>Representación en signo y magnitud</i>	304
	<i>Representación en complemento a dos</i>	304
	<i>Conversión entre longitudes de bits diferentes</i>	307
	<i>Representación en coma fija</i>	309
9.3	Aritmética con enteros	309
	<i>Negación</i>	309
	<i>Suma y resta</i>	311
	<i>Multiplicación</i>	314
	<i>División</i>	321
9.4	Representación en coma flotante	324
	<i>Fundamentos</i>	324
	<i>Estándar del IEEE para la representación binaria en coma flotante</i>	328
9.5	Aritmética en coma flotante	331
	<i>Suma y resta</i>	331
	<i>Multiplicación y división</i>	334
	<i>Consideraciones sobre precisión</i>	335
	<i>Estándar IEEE para la aritmética binaria en coma flotante</i>	337
9.6	Lecturas y sitios web recomendados	339
	<i>Sitios web recomendados</i>	340
9.7	Palabras clave, preguntas de repaso y problemas	341
	<i>Palabras clave</i>	341
	<i>Preguntas de repaso</i>	341
	<i>Problemas</i>	342
Capítulo 10	Repertorios de instrucciones: características y funciones	347
10.1	Características de las instrucciones máquina	350
	<i>Elementos de una instrucción máquina</i>	350
	<i>Representación de las instrucciones</i>	351

	<i>Tipos de instrucciones</i>	352
	<i>Número de direcciones</i>	353
	<i>Diseño del repertorio de instrucciones</i>	356
10.2	Tipos de operandos	356
	<i>Números</i>	357
	<i>Caracteres</i>	358
	<i>Datos lógicos</i>	358
10.3	Tipos de datos en el Pentium y el PowerPC	359
	<i>Tipos de datos en el Pentium</i>	359
	<i>Tipos de datos en el PowerPC</i>	360
10.4	Tipos de operaciones	361
	<i>Transferencia de datos</i>	365
	<i>Aritméticas</i>	366
	<i>Lógicas</i>	366
	<i>Conversión</i>	369
	<i>Entrada/Salida</i>	370
	<i>Control del sistema</i>	370
	<i>Control de flujo</i>	370
10.5	Tipos de operaciones en el Pentium y el PowerPC	375
	<i>Tipos de operaciones del Pentium</i>	375
	<i>Instrucciones de llamada/retorno</i>	379
	<i>Tipos de operaciones del PowerPC</i>	384
10.6	Lenguaje ensamblador	387
10.7	Lecturas recomendadas	389
10.8	Palabras clave, preguntas de repaso y problemas	390
	<i>Palabras clave</i>	390
	<i>Preguntas de repaso</i>	390
	<i>Problemas</i>	390
Apéndice 10A	Pilas	396
	<i>Pilas</i>	396
	<i>Implementación de la pila</i>	397
	<i>Evaluación de expresiones</i>	398

Apéndice 10B	Endian: Extremo menor, extremo mayor y ambos extremos	401
	<i>Orden de los bytes</i>	401
	<i>Orden de los bits</i>	405
Capítulo 11	Repertorio de instrucciones: modos de direccionamiento y formatos	407
11.1	Direccionamiento	408
	<i>Direccionamiento inmediato</i>	410
	<i>Direccionamiento directo</i>	411
	<i>Direccionamiento indirecto</i>	411
	<i>Direccionamiento de registros</i>	412
	<i>Direccionamiento indirecto con registro</i>	412
	<i>Direccionamiento con desplazamiento</i>	413
	<i>Direccionamiento de pila</i>	415
11.2	Modos de direccionamiento en el Pentium y el PowerPC	415
	<i>Modos de direccionamiento del Pentium</i>	415
	<i>Modos de direccionamiento del PowerPC</i>	418
11.3	Formatos de instrucciones	420
	<i>Longitud de instrucción</i>	421
	<i>Asignación de los bits</i>	421
	<i>Instrucciones de longitud variable</i>	425
11.4	Formatos de instrucciones del Pentium y del PowerPC	428
	<i>Formatos de instrucción del Pentium</i>	428
	<i>Formatos de instrucción del PowerPC</i>	431
11.5	Lecturas recomendadas	432
11.6	Palabras clave, preguntas de repaso y problemas	433
	<i>Palabras clave</i>	433
	<i>Preguntas de repaso</i>	433
	<i>Problemas</i>	433
Capítulo 12	Estructura y funcionamiento del procesador	437
12.1	Organización del procesador	438
12.2	Organización de los registros	440
	<i>Registros visibles por el usuario</i>	440
	<i>Registros de control y de estado</i>	443
	<i>Ejemplos de organizaciones de registros de microprocesadores</i>	444

12.3	Ciclo de instrucción	446
	<i>El ciclo indirecto</i>	446
	<i>Flujo de datos</i>	447
12.4	Segmentación de instrucciones	449
	<i>Estrategia de segmentación</i>	449
	<i>Prestaciones de un cauce segmentado</i>	455
	<i>Tratamiento de saltos</i>	456
	<i>Segmentación del Intel 80486</i>	461
12.5	El procesador Pentium	464
	<i>Organización de los registros</i>	464
	<i>Procesamiento de interrupciones</i>	469
12.6	El procesador PowerPC	472
	<i>Organización de los registros</i>	472
	<i>Procesamiento de interrupciones</i>	476
12.7	Lecturas recomendadas	479
12.8	Palabras clave, preguntas de repaso y problemas	480
	<i>Palabras clave</i>	480
	<i>Preguntas de repaso</i>	480
	<i>Problemas</i>	480
Capítulo 13	Computadores de repertorio reducido de instrucciones	485
13.1	Características de la ejecución de instrucciones	489
	<i>Operaciones</i>	490
	<i>Operandos</i>	491
	<i>Llamadas a procedimientos</i>	492
	<i>Consecuencias</i>	492
13.2	Utilización de un amplio banco de registros	493
	<i>Ventanas de registros</i>	494
	<i>Variables globales</i>	496
	<i>Un amplio banco de registros frente a una caché</i>	496
13.3	Optimización de registros basada en el compilador	497
13.4	Arquitectura de repertorio reducido de instrucciones	499

	<i>¿Por qué CISC?</i>	500
	<i>Características de las arquitecturas de repertorio reducido de instrucciones</i>	501
	<i>Características CISC frente a RISC</i>	504
13.5	Segmentación en RISC	506
	<i>Segmentación con instrucciones regulares</i>	506
	<i>Optimización de la segmentación</i>	507
13.6	MIPS R4000	509
	<i>Repertorio de instrucciones</i>	510
	<i>Cauce de instrucciones</i>	512
13.7	SPARC	516
	<i>Conjunto de registros del SPARC</i>	516
	<i>Repertorio de instrucciones</i>	517
	<i>Formato de instrucción</i>	520
13.8	La controversia entre RISC y CISC	521
13.9	Lecturas recomendadas	522
13.10	Palabras clave, preguntas de repaso y problemas	523
	<i>Palabras clave</i>	523
	<i>Preguntas de repaso</i>	523
	<i>Problemas</i>	523
Capítulo 14	Paralelismo en las instrucciones y procesadores superescalares	527
14.1	Visión de conjunto	529
	<i>Superescalar frente a supersegmentado</i>	530
	<i>Limitaciones</i>	530
14.2	Cuestiones relacionadas con el diseño	533
	<i>Paralelismo en las instrucciones y paralelismo de la máquina</i>	533
	<i>Políticas de emisión de instrucciones</i>	534
	<i>Renombramiento de registros</i>	538
	<i>Paralelismo de la máquina</i>	539
	<i>Predicción de saltos</i>	540
	<i>Ejecución superescalar</i>	541
	<i>Implementación superescalar</i>	542
14.3	Pentium 4	542

	<i>Interfaz externa</i>	544
	<i>Lógica de ejecución desordenada</i>	547
	<i>Unidades de ejecución de enteros y de coma flotante</i>	549
14.4	PowerPC	549
	<i>Power PC 601</i>	549
	<i>Procesamiento de saltos</i>	553
	<i>Power PC 620</i>	554
14.5	Lecturas recomendadas	557
14.6	Palabras clave, preguntas de repaso y problemas	558
	<i>Palabras clave</i>	558
	<i>Preguntas de repaso</i>	558
	<i>Problemas</i>	559
Capítulo 15	La arquitectura IA-64	563
15.1	Motivación	565
15.2	Organización general	566
15.3	Software	568
	<i>Formato de instrucción</i>	568
	<i>Formato del lenguaje ensamblador</i>	570
	<i>Ejecución con predicados</i>	572
	<i>Especulación en el control</i>	575
	<i>Especulación en los datos</i>	580
	<i>Segmentación software</i>	581
15.4	Arquitectura de conjunto de instrucciones IA-64	584
	<i>Pila de registros</i>	586
	<i>Indicador de marco actual y estado de la función previa</i>	589
15.5	Organización del Itanium	589
15.6	Lecturas y sitios web recomendados	592
	<i>Sitios web recomendados</i>	593
15.7	Palabras clave, preguntas de repaso y problemas	593
	<i>Palabras clave</i>	593
	<i>Preguntas de repaso</i>	593
	<i>Problemas</i>	593

CUARTA PARTE: LA UNIDAD DE CONTROL	597
Capítulo 16	Funcionamiento de la unidad de control 599
16.1	Microoperaciones 601
	<i>El ciclo de captación</i> 602
	<i>El ciclo indirecto</i> 604
	<i>El ciclo de interrupción</i> 604
	<i>El ciclo de ejecución</i> 605
	<i>El ciclo de instrucción</i> 606
16.2	Control del procesador 607
	<i>Requisitos funcionales</i> 607
	<i>Señales de control</i> 609
	<i>Un ejemplo de señales de control</i> 610
	<i>Organización interna del procesador</i> 612
	<i>El Intel 8085</i> 614
16.3	Implementación cableada 618
	<i>Entradas de la unidad de control</i> 618
	<i>Lógica de la unidad de control</i> 620
16.4	Lecturas recomendadas 621
16.5	Palabras clave, preguntas de repaso y problemas 621
	<i>Palabras clave</i> 621
	<i>Preguntas de repaso</i> 621
	<i>Problemas</i> 622
Capítulo 17	Control microprogramado 623
17.1	Conceptos básicos 624
	<i>Microinstrucciones</i> 624
	<i>Unidad de control microprogramada</i> 626
	<i>Control de Wilkes</i> 629
	<i>Ventajas e inconvenientes</i> 631
17.2	Secuenciamiento de microinstrucciones 633
	<i>Consideraciones respecto al diseño</i> 634
	<i>Técnicas de secuenciamiento</i> 634
	<i>Generación de direcciones</i> 636
	<i>Secuenciamiento de microinstrucciones en el LSI-11</i> 639



17.3	Ejecución de microinstrucciones	639
	<i>Una taxonomía de las microinstrucciones</i>	641
	<i>Codificación de las microinstrucciones</i>	643
	<i>Ejecución de microinstrucciones en el LSI-11</i>	645
	<i>Ejecución de microinstrucciones en el IBM 3033</i>	648
17.4	TI 8800	649
	<i>Formato de microinstrucción</i>	652
	<i>Microsecuenciador</i>	654
	<i>ALU con registros</i>	658
17.5	Lecturas recomendadas	662
17.5	Palabras clave, preguntas de repaso y problemas	662
	<i>Palabras clave</i>	662
	<i>Preguntas de repaso</i>	662
	<i>Problemas</i>	663

QUINTA PARTE: ORGANIZACIÓN PARALELA 665

Capítulo 18 Procesamiento paralelo 667

18.1	Organizaciones con varios procesadores	670
	<i>Tipos de sistemas de paralelos</i>	670
	<i>Organizaciones paralelas</i>	671
18.2	Multiprocesadores simétricos	672
	<i>Organización</i>	674
	<i>Bus de tiempo compartido</i>	675
	<i>Consideraciones de diseño de un sistema operativo de multiprocesador</i>	676
	<i>Un SMP como gran computador</i>	677
18.3	Coherencia de caché y el protocolo MESI	680
	<i>Soluciones software</i>	681
	<i>Soluciones hardware</i>	681
	<i>Protocolos de Sondeo (Snoopy Protocols)</i>	682
	<i>El protocolo MESI</i>	683
18.4	Procesamiento multihebra y multiprocesadores monochip	686
	<i>Procesamiento multihebra implícito y explícito</i>	687

	<i>Aproximaciones al procesamiento multihebra explícito</i>	688
	<i>Ejemplos de sistemas</i>	692
18.5	<i>Clusters</i>	694
	<i>Configuraciones de clusters</i>	694
	<i>Consideraciones en el diseño del sistema operativo</i>	697
	<i>Arquitectura de los clusters</i>	698
	<i>Clusters frente a sistemas SMP</i>	700
18.6	<i>Acceso no uniforme a memoria</i>	700
	<i>Motivación</i>	701
	<i>Organización</i>	701
	<i>Pros y contras de un computador NUMA</i>	703
18.7	<i>Computación Vectorial</i>	704
	<i>Aproximaciones a la computación vectorial</i>	704
	<i>Unidad vectorial IBM 3090</i>	710
18.8	<i>Lecturas recomendadas</i>	716
18.9	<i>Palabras clave, cuestiones y problemas</i>	717
	<i>Palabras clave</i>	717
	<i>Cuestiones</i>	717
	<i>Problemas</i>	718

APÉNDICES 725

Apéndice A Sistemas de numeración 725

A.1	<i>Sistema decimal</i>	726
A.2	<i>Sistema binario</i>	726
A.3	<i>Conversión entre binario y decimal</i>	727
	<i>Enteros</i>	727
	<i>Fraccionarios</i>	728
A.4	<i>Notación hexadecimal</i>	729
A.5	<i>Problemas</i>	731

Apéndice B Lógica digital 732

B.1	<i>Álgebra de Boole</i>	733
B.2	<i>Puertas</i>	735

B.3	Circuitos combinacionales	737
	<i>Implementación de las funciones booleanas</i>	738
	<i>Multiplexores</i>	748
	<i>Decodificadores</i>	750
	<i>Arrays lógico programable</i>	752
	<i>Memoria de solo lectura</i>	753
	<i>Sumadores</i>	755
B.4	Circuitos secuenciales	758
	<i>Biestables</i>	759
	<i>Registros</i>	762
	<i>Contadores</i>	764
B.5	Lecturas recomendadas y sitios web	767
	<i>Sitio web recomendado</i>	767
B.6	Problemas	768
Apéndice C	Proyectos para enseñar arquitectura y organización de computadores	770
C.1	Proyectos de investigación	771
C.2	Proyectos de simulación	771
	<i>SimpleScalar</i>	772
	<i>SMPCache</i>	772
C.3	Asignación de lecturas/trabajos	773
Glosario		774
Referencias		783
Índice analítico		793
Acrónimos		814