


# Contenido

Prefacio xiii

## CAPITULOS

### **1 Abstracciones y tecnología de los computadores 2**

- 1.1 Introducción 3
- 1.2 Bajo los programas 10
- 1.3 Bajo la cubierta 13
- 1.4 Prestaciones 26
- 1.5 El muro de la potencia 39
- 1.6 El gran cambio: el paso de monoprocesadores a multiprocesadores 41
- 1.7 Casos reales: fabricación y evaluación del AMD Opteron x4 44
- 1.8 Falacias y errores habituales 51
- 1.9 Conclusiones finales 54
-  1.10 Perspectiva histórica y lecturas recomendadas 55
- 1.11 Ejercicios 56

### **2 Instrucciones: el lenguaje del computador 74**

- 2.1 Introducción 76
- 2.2 Operaciones del hardware del computador 77
- 2.3 Operandos del hardware del computador 80
- 2.4 Números con signo y sin signo 87
- 2.5 Representación de instrucciones en el computador 94
- 2.6 Operaciones lógicas 102
- 2.7 Instrucciones para la toma de decisiones 105
- 2.8 Apoyo a los procedimientos en el hardware del computador 112
- 2.9 Comunicarse con la gente 122
- 2.10 Direcciones y direccionamiento inmediato MIPS para 32 bits 128
- 2.11 Paralelismo e instrucciones: sincronización 137
- 2.12 Traducción e inicio de un programa 139
- 2.13 Un ejemplo de ordenamiento en C para verlo todo junto 149

**Nota importante:** En la presente edición en castellano, los contenidos del CD incluidos en la edición original son accesibles (en lengua inglesa) a través de la página web [www.reverte.com/microsites/pattersonhennessy](http://www.reverte.com/microsites/pattersonhennessy). Aunque en la presente edición no se proporciona un CD-ROM físico, a lo largo de todo el texto se menciona el CD y se utiliza el icono que lo representa para hacer referencia a su contenido.

- 2.14 Tablas frente a punteros 157
- 2.15 Perspectiva histórica y lecturas recomendadas 161
- 2.16 Caso real: instrucciones ARM 161
- 2.17 Casos reales: instrucciones x86 165
- 2.18 Falacias y errores habituales 174
- 2.19 Conclusiones finales 176
- 2.20 Perspectiva histórica y lecturas recomendadas 179
- 2.21 Ejercicios 179

### **3 Aritmética para computadores 222**

- 3.1 Introducción 224
- 3.2 Suma y resta 224
- 3.3 Multiplicación 230
- 3.4 División 236
- 3.5 Punto flotante 242
- 3.6 Paralelismo y aritmética del computador: asociatividad 270
- 3.7 Caso real: punto flotante en el x86 272
- 3.8 Falacias y errores habituales 275
- 3.9 Conclusiones finales 280
- 3.10 Perspectiva histórica y lecturas recomendadas 283
- 3.11 Ejercicios 283

### **4 El procesador 298**

- 4.1 Introducción 300
- 4.2 Convenios de diseño lógico 303
- 4.3 Construcción de un camino de datos 307
- 4.4 Esquema de una implementación simple 316
- 4.5 Descripción general de la segmentación 330
- 4.6 Camino de datos segmentados y control de la segmentación 344
- 4.7 Riesgos de datos: anticipación frente a bloqueos 363
- 4.8 Riesgos de control 375
- 4.9 Excepciones 384
- 4.10 Paralelismo y paralelismo a nivel de instrucciones avanzado 391
- 4.11 Casos reales: El pipeline del AMD Opteron X4 (Barcelona) 404
- 4.12 Tema avanzado: una introducción al diseño digital utilizando un lenguaje de descripción hardware para describir y modelar un pipeline y más figuras sobre segmentación 406
- 4.13 Falacias y errores habituales 407
- 4.14 Conclusiones finales 408
- 4.15 Perspectiva histórica y lecturas recomendadas 409
- 4.16 Ejercicios 409

**5**

**Grande y rápida: aprovechamiento de la jerarquía de memoria 450**

- 5.1 Introducción 452
- 5.2 Principios básicos de las caches 457
- 5.3 Evaluación y mejora de las prestaciones de la cache 457
- 5.4 Memoria virtual 492
- 5.5 Un marco común para las jerarquías de memoria 518
- 5.6 Máquinas virtuales 525
- 5.7 Utilización de una máquina de estados finitos para el control de una cache sencilla 529
- 5.8 Paralelismo y jerarquías de memoria: coherencia de cache 534
- 5.9 Material avanzado: implementación de controladores de cache 538
- 5.10 Casos reales: las jerarquías de memoria del AMD Opteron X4 (Barcelona) y del Intel Nehalem 539
- 5.11 Falacias y errores habituales 543
- 5.12 Conclusiones finales 547
- 5.13 Perspectiva histórica y lecturas recomendadas 548
- 5.14 Ejercicios 548

**6**

**Almacenamiento y otros aspectos de la E/S 568**

- 6.1 Introducción 570
- 6.2 Confiabilidad, fiabilidad y disponibilidad 573
- 6.3 Almacenamiento en disco 575
- 6.4 Almacenamiento Flash 580
- 6.5 Conexión entre procesadores, memoria y dispositivos de E/S 582
- 6.6 Interfaz de los dispositivos de E/S al procesador, memoria y sistema operativo 586
- 6.7 Medidas de las prestaciones de la E/S: ejemplos de discos y sistema de ficheros 596
- 6.8 Diseño de un sistema de E/S 598
- 6.9 Paralelismo y E/S: conjuntos redundantes de discos económicos 599
- 6.10 Casos reales: servidor Sun Fire x4150 606
- 6.11 Aspectos avanzados: redes 612
- 6.12 Falacias y errores habituales 613
- 6.13 Conclusiones finales 617
- 6.14 Perspectiva histórica y lecturas recomendadas 618
- 6.15 Ejercicios 619

**7**

**Multinúcleos, multiprocesadores y clústeres 630**

- 7.1 Introducción 632
- 7.2 La dificultad de crear programas de procesamiento paralelo 634
- 7.3 Multiprocesadores de memoria compartida 638
- 7.4 Clústeres y otros multiprocesadores de paso de mensajes 641

- 7.5 Ejecución multihilo en hardware 645
- 7.6 SISD, MIMD, SIMD, SPMD y procesamiento vectorial 648
- 7.7 Introducción a las unidades de procesamiento gráfico 654
- 7.8 Introducción a las topologías de redes para multiprocesadores 660
- 7.9 Programas de prueba para multiprocesadores 664
- 7.10 Roofline: un modelo de prestaciones sencillo 667
- 7.11 Casos reales: evaluación de cuatro multinúcleos con el modelo Roofline 675
- 7.12 Falacias y errores habituales 684
- 7.13 Conclusiones finales 686
- 7.14 Perspectiva histórica y lecturas recomendadas 688
- 7.15 Ejercicios 688

## A P E N D I C E S

### A

#### **GPUs para gráficos y cálculo A-2**

- A.1 Introducción A-3
- A.2 Arquitecturas del sistema de la GPU A-7
- A.3 Programación de las GPU A-12
- A.4 Arquitectura multiprocesador con ejecución multihilo A-25
- A.5 Sistema de memoria paralelo A-36
- A.6 Aritmética punto flotante A-41
- A.7 Casos reales: NVIDIA GeForce 8800 A-46
- A.8 Casos reales: Implementación de aplicaciones en la GPU A-55
- A.9 Falacias y errores habituales A-72
- A.10 Conclusiones finales A-76
- A.11 Perspectiva histórica y lecturas recomendadas A-77

### B

#### **Ensambladores, enlazadores y el simulador SPIM B-2**

- B.1 Introducción B-3
- B.2 Ensambladores B-10
- B.3 Enlazadores B-18
- B.4 Cargador B-19
- B.5 Utilización de la memoria B-20
- B.6 Convenio de llamada a procedimiento B-22
- B.7 Excepciones e interrupciones B-33
- B.8 Entrada y salida B-38
- B.9 SPIM B-40
- B.10 Lenguaje ensamblador MIPS R2000 B-45
- B.11 Conclusiones finales B-81
- B.12 Ejercicios B-82

**C O N T E N I D O S E N E L C D \*****Conceptos clásicos de diseño lógico C-2**

- C.1 Introducción C-3
- C.2 Puertas, tablas de verdad y ecuaciones lógicas C-4
- C.3 Lógica combinacional C-9
- C.4 Lenguajes de descripción hardware C-20
- C.5 Una unidad aritmético-lógica básica C-26
- C.6 Sumas más rápidas: acarreo adelantado C-38
- C.7 Relojes C-48
- C.8 Elementos de memoria: biestables, cerrojos y registros C-50
- C.9 Elementos de memoria: SRAM y DRAM C-58
- C.10 Máquinas de estados finitos C-67
- C.11 Metodologías de temporización C-72
- C.12 Dispositivos programables por campos C-78
- C.13 Conclusiones finales C-79
- C.14 Ejercicios C-80

**Implementación del control en hardware D-2**

- D.1 Introducción D-3
- D.2 Implementación de unidades de control combinacionales D-4
- D.3 Implementación de un control basado en máquinas de estados finitos D-8
- D.4 Implementación de la función Estado-siguiente con un secuenciador D-22
- D.5 Traducción de un microprograma a hardware D-28
- D.6 Conclusiones finales D-32
- D.7 Ejercicios D-33



**Estudio de arquitecturas RISC para ordenadores de sobremesa, servidores y sistemas empotrados E-2**

- E.1 Introducción E-3
- E.2 Modos de direccionamiento y formatos de instrucciones E-5
- E.3 Instrucciones: El subconjunto del núcleo MIPS E-9
- E.4 Instrucciones: Extensiones multimedia de los servidores y ordenadores de sobremesa RISC E-16

\* **Nota importante:** En la presente edición en castellano, los contenidos del CD incluido en la edición original (en inglés) son accesibles a través de la página web [www.reverte.com/microsites/pattersonhennessy](http://www.reverte.com/microsites/pattersonhennessy). Aunque en la presente edición no se proporciona un CD-ROM físico, a lo largo de todo el texto se menciona el CD y se utiliza el icono que lo representa para hacer referencia a su contenido.

## Contenido

---

- E.5 Instrucciones: Extensiones para procesado digital de señales de sistemas RISC empotrados E-19
  - E.6 Instrucciones: Extensiones habituales del núcleo MIPS E-20
  - E.7 Instrucciones específicas del MIPS-64 E-25
  - E.8 Instrucciones específicas del Alpha E-27
  - E.9 Instrucciones específicas del Sparc v.9 E-29
  - E.10 Instrucciones específicas del PowerPC E-32
  - E.11 Instrucciones específicas del PA-RISC 2.0 E-34
  - E.12 Instrucciones específicas del ARM E-36
  - E.13 Instrucciones específicas del Thumb E-38
  - E.14 Instrucciones específicas del SuperH E-39
  - E.15 Instrucciones específicas del M32R E-40
  - E.16 Instrucciones específicas del MIPS-16 E-40
  - E.17 Conclusiones finales E-43
-  Glosario G-1
  -  Lecturas recomendadas FR-1