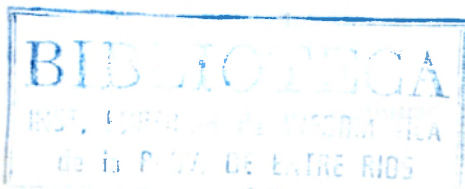




Contenido

■	Prefacio	XVII
■	0 Introducción	1
	0.1 <u>Historia de la computación</u>	1
	0.1.1 Los inicios: Computadoras mecánicas	1
	0.1.2 Primeras computadoras electrónicas	2
	0.1.3 Las primeras cuatro generaciones de computadoras	2
	0.1.4 La quinta generación y más allá	4
	0.2 <u>Sistemas digitales</u>	4
	0.2.1 Sistemas digitales y analógicos	4
	0.2.2 Jerarquía de diseño de un sistema digital	5
	0.3 <u>Organización de una computadora digital de programa almacenado</u>	12
	0.3.1 Instrucciones de la computadora	13
	0.3.2 Representación de la información en las computadoras	13
	0.3.3 Hardware de computadora	15
	0.3.4 Software de computadora	17
	0.4 <u>Resumen</u>	19
■	1 Sistemas numéricos y códigos	20
	1.1 <u>Sistemas numéricos</u>	21
	1.1.1 Notación posicional	21
	1.1.2 Sistemas numéricos de uso común	22



1.2	<u>Aritmética</u>	2
1.2.1	Aritmética binaria	2
1.2.2	Aritmética octal	2
1.2.3	Aritmética hexadecimal	2
1.3	<u>Conversiones de base</u>	30
1.3.1	Métodos de conversión	30
1.3.2	Algoritmos generales de conversión	30
1.3.3	Conversión entre la base A y la base B cuando $B=A^t$	30
1.4	<u>Representación de números con signo</u>	37
1.4.1	Números con magnitud y signo	38
1.4.2	Sistemas numéricos complementarios	38
1.5	<u>Códigos de computadora</u>	55
1.5.1	Códigos numéricos	55
1.5.2	Códigos de caracteres y otros códigos	61
1.5.3	Códigos para detección y corrección de errores	65
1.6	<u>Resumen</u>	73
2	Métodos algebraicos para el análisis y síntesis de circuitos lógicos	78
2.1	<u>Fundamentos del álgebra booleana</u>	79
2.1.1	Postulados básicos	79
2.1.2	Diagramas de Venn para los postulados [2]	80
2.1.3	Dualidad	81
2.1.4	Teoremas fundamentales del álgebra booleana	84
2.2	<u>Funciones de conmutación</u>	91
2.2.1	Tablas de verdad	93
2.2.2	Formas algebraicas de las funciones de conmutación	94
2.2.3	Deducción de formas canónicas	101
2.2.4	Funciones con especificación incompleta	103

2.3	<u>Circuitos de conmutación</u>	104
2.3.1	Compuertas lógicas electrónicas	105
2.3.2	Componentes funcionales básicos	108
2.4	<u>Análisis de circuitos combinatorios</u>	120
2.4.1	Método algebraico	120
2.4.2	Análisis de diagramas de tiempos	123
2.5	<u>Síntesis de circuitos lógicos combinatorios</u>	128
2.5.1	Redes AND-OR y NAND	128
2.5.2	Redes OR-AND y NOR	130
2.5.3	Circuitos de dos niveles	131
2.5.4	Circuitos AND-OR-Inversor	133
2.5.5	Factorización	134
2.6	<u>Aplicaciones</u>	136
2.7	<u>Diseño de circuitos lógicos asistido por computadora</u>	140
2.7.1	El ciclo de diseño	140
2.7.2	Modelado de un circuito digital	140
2.7.3	Síntesis de diseño y herramientas de captura	148
2.7.4	Simulación lógica	152
2.8	<u>Resumen</u>	165

3	Simplificación de las funciones de conmutación	172
3.1	<u>Objetivos de la simplificación</u>	173
3.2	<u>Características de los métodos de minimización</u>	174
3.3	<u>Mapas de Karnaugh</u>	175
3.3.1	Relación con los diagramas de Venn y las tablas de verdad	176
3.3.2	Mapas K de cuatro o más variables	177

3.4	Trazo de funciones en forma canónica sobre el mapa K	179
3.5	Simplificación de las funciones de conmutación mediante los mapas K	185
3.5.1	Criterios para la simplificación de funciones mediante mapas K	187
3.5.2	Terminología general para la minimización de una función de conmutación	187
3.5.3	Algoritmos para la deducción de formas SOP minimales a partir de mapas K	188
3.6	Forma POS mediante mapas K	197
3.6.1	Terminología general para las formas POS	197
3.6.2	Algoritmos para la deducción de formas POS minimales a partir de mapas K	197
3.7	Funciones con especificación incompleta	203
3.8	Uso de mapas K para eliminar riesgos de tiempo	206
3.9	Método de minimización tabular de Quine-McCluskey	211
3.9.1	Procedimiento de cubierta	215
3.9.2	Funciones con especificación incompleta	218
3.9.3	Sistemas con múltiples salidas	220
3.10	Algoritmo de Petrick	222
3.11	Minimización de funciones de conmutación asistida por computadora	225
3.11.1	Representación cúbica de las funciones de conmutación	227
3.11.2	Métodos algebraicos para determinar implicantes primos	228
3.11.3	Identificación de implicantes primos esenciales	230
3.11.4	Cómo completar una cubierta mínima	231
3.11.5	Otros algoritmos de minimización	234
3.12	Resumen	235

4	Lógica combinatoria modular	242
4.1	<u>Diseño modular descendente</u>	243
4.2	<u>Decodificadores</u>	245
4.2.1	Estructura de circuitos decodificadores	246
4.2.2	Implantación de funciones lógicas mediante decodificadores	247
4.2.3	Entradas para control de activación	249
4.2.4	Decodificadores MSI estándar	252
4.2.5	Aplicaciones de los decodificadores	253
4.3	<u>Codificadores</u>	259
4.3.1	Estructuras de un circuito codificador	260
4.3.2	Codificadores MSI estándar	264
4.4	<u>Multiplexores/selectores de datos</u>	268
4.4.1	Estructuras de circuitos multiplexores	268
4.4.2	Multiplexores MSI estándar	270
4.4.3	Aplicaciones de los multiplexores	277
4.5	<u>Demultiplexores/distribuidores de datos</u>	280
4.6	<u>Elementos de aritmética binaria</u>	283
4.6.1	Circuitos sumadores binarios básicos	283
4.6.2	Módulos de sumador binario MSI	285
4.6.3	Unidades sumadoras de alta velocidad	289
4.6.4	Circuitos de resta binaria	294
4.6.5	Detección de un desbordamiento aritmético	295
4.7	<u>Comparadores</u>	298
4.8	<u>Ejemplo de diseño: Una unidad aritmética-lógica de computadora</u>	302
4.9	<u>Diseño de sistemas modulares asistido por computadora</u>	312
4.9.1	Bibliotecas de diseño	312
4.9.2	Trazo de esquemas jerárquicos	314

4.10	<u>Simulación de sistemas jerárquicos</u>	317
4.11	<u>Resumen</u>	319
5	Diseño de un circuito combinatorio con dispositivos lógicos programables	328
5.1	<u>Dispositivos lógicos semiadaptados</u>	329
5.2	<u>Circuitos de arreglos lógicos</u>	330
5.2.1	Operación de diodos en circuitos digitales	330
5.2.2	Arreglos lógicos AND y OR	332
5.2.3	Arreglos AND-OR de dos niveles	333
5.2.4	Arreglos AND y OR programables mediante campos	338
5.2.5	Opciones de polaridad de salida	341
5.2.6	Pines bidireccionales y líneas de retroalimentación	343
5.2.7	Dispositivos comerciales	345
5.3	<u>Arreglos lógicos programables mediante campos</u>	347
5.3.1	Estructuras de circuitos FPLA	347
5.3.2	Realización de funciones lógicas con FPLA	347
5.4	<u>Memoria programable exclusiva para lectura</u>	350
5.4.1	Estructuras de circuitos PROM	350
5.4.2	Realización de funciones lógicas con PROM	352
5.4.3	Tablas de búsqueda	358
5.4.4	Aplicaciones generales de la memoria exclusiva para lectura	360
5.4.5	Tecnologías de memorias exclusivas para lectura	361
5.5	<u>Lógica de arreglos programables</u>	362
5.5.1	Estructuras de circuitos PAL	362
5.5.2	Realización de funciones lógicas con PAL	363
5.5.3	Opciones de salida y retroalimentación de PAL	366

5.6	Herramientas de diseño asistido por computadora para el diseño PLD	371
5.6.1	Representación de diseño con PDL	373
5.6.2	Procesamiento de un archivo de diseño PDL	378
5.7	Resumen	380
6	Introducción a los dispositivos secuenciales	382
6.1	Modelos para circuitos secuenciales	383
6.1.1	Representación de diagrama de bloques	383
6.1.2	Tablas y diagramas de estados	385
6.2	Dispositivos de memoria	387
6.3	Latches	389
6.3.1	Latch set-reset	389
6.3.2	Latch SR con compuertas	396
6.3.3	Latch con retardo	398
6.4	Flip-flops	403
6.4.1	Flip-flops SR maestro-esclavo	404
6.4.2	Flip-flops D maestro-esclavo	406
6.4.3	Flip-flops JK maestro-esclavo	407
6.4.4	Flip-flops D disparados por transición	409
6.4.5	Flip-flops JK disparados por transición	413
6.4.6	Flip-flops T	415
6.4.7	Resumen de latches y flip-flops	417
6.5	Otros dispositivos de memoria	418
6.6	Circuitos de tiempo	418
6.6.1	One-shots	418
6.6.2	El módulo temporizador 555	418
6.7	Creación rápida de prototipos de circuitos secuenciales	421
6.8	Resumen	425

7	Lógica secuencial modular	432
7.1	<u>Registros de corrimiento</u>	433
7.1.1	Un registro de corrimiento genérico	434
7.1.2	Módulos estándar TTL de registro de corrimiento	436
7.2	<u>Ejemplos de diseño con registros</u>	448
7.2.1	Unidad sumadora serial	448
7.2.2	Acumuladores seriales	449
7.2.3	Acumuladores paralelos	449
7.3	<u>Contadores</u>	449
7.3.1	Contadores binarios síncronos	451
7.3.2	Contadores binarios asíncronos	455
7.3.3	Contadores hacia abajo	460
7.3.4	Contadores hacia arriba/hacia abajo	461
7.4	<u>Contadores módulo N</u>	464
7.4.1	Contadores BCD síncronos	464
7.4.2	Contadores BCD asíncronos	467
7.4.3	Contadores módulo 6 y módulo 12	471
7.4.4	Contadores módulo N con reset asíncrono	475
7.4.5	Contadores módulo N con reset síncrono	477
7.5	<u>Registros de corrimiento como contadores</u>	477
7.5.1	Contadores de anillo	478
7.5.2	Contadores de anillo trenzado	483
7.6	<u>Contadores de secuencia múltiple</u>	489
7.7	<u>Multiplicadores de razón fraccionaria digital</u>	490
7.7.1	Módulos TTL	492
7.7.2	Multiplicadores de razón fraccionaria digital en cascada	496
7.8	<u>Resumen</u>	496

8	Análisis y síntesis de circuitos secuenciales síncronos	502
8.1	<u>Modelos de circuitos secuenciales síncronos</u>	503
8.1.1	Modelo de Mealy	504
8.1.2	Modelo de Moore	505
8.2	<u>Análisis de un circuito secuencial</u>	507
8.2.1	Análisis de los diagramas de estados de un circuito secuencial	507
8.2.2	Análisis de los diagramas lógicos de un circuito secuencial	508
8.2.3	Resumen	517
8.3	<u>Síntesis de un circuito secuencial síncrono</u>	519
8.3.1	Procedimiento de síntesis	520
8.3.2	Tablas de entrada de un flip-flop	522
8.3.3	Método de la ecuación de aplicación para los flip-flops JK	524
8.3.4	Ejemplos de diseño	526
8.3.5	Diagramas de máquina de estado algorítmico	547
8.3.6	Método de diseño de una máquina de estados finitos one-hot	553
8.4	<u>Circuitos con especificación incompleta</u>	555
8.4.1	Asignación de estados y realización de circuitos	558
8.5	<u>Diseño asistido por computadora de circuitos secuenciales</u>	558
8.5.1	Captura y síntesis del diseño	559
8.5.2	Análisis y verificación del diseño	565
8.6	<u>Resumen</u>	568
9	Simplificación de circuitos secuenciales	576
9.1	<u>Estados redundantes</u>	577
9.1.1	Equivalencia de estados	577
9.1.2	Equivalencia y relaciones de compatibilidad	579
9.2	<u>Reducción de estados en circuitos con especificación completa</u>	579
9.2.1	Inspección	579

9.2.2	Partición	581
9.2.3	Tabla de implicación	584
9.3	<u>Reducción de estados en circuitos con especificación incompleta</u>	588
9.3.1	Compatibilidad de estados	589
9.3.2	Procedimiento de minimización	594
9.4	<u>Métodos para una asignación óptima de estados</u>	602
9.4.1	Asignaciones de estados únicas	603
9.4.2	Criterios para la asignación de estados	605
9.4.3	Partición	614
9.4.4	Asignaciones óptimas de estados	619
9.5	<u>Resumen</u>	620
10	Circuitos secuenciales asincronos	624
10.1	<u>Tipos de circuitos asincronos</u>	625
10.2	<u>Análisis de circuitos asíncronos de modo pulso</u>	627
10.3	<u>Síntesis de circuitos de modo pulso</u>	632
10.3.1	Procedimiento de diseño para circuitos de modo pulso	632
10.4	<u>Análisis de circuitos de modo fundamental</u>	641
10.4.1	Introducción	643
10.4.2	Representaciones tabulares	645
10.4.3	Procedimiento de análisis	648
10.5	<u>Síntesis de circuitos de modo fundamental</u>	648
10.5.1	Procedimiento de síntesis	648
10.6	<u>Introducción a las competencias, ciclos y riesgos</u>	659
10.6.1	Competencias y ciclos	660
10.6.2	Cómo evitar condiciones de competencia	663
10.6.3	Asignaciones de estados libres de competencia	664
10.6.4	Riesgos	671
10.6.5	Análisis	673

10.7	<u>Resumen</u>	673
11	Circuitos secuenciales con dispositivos lógicos programables	686
11.1	<u>Dispositivos lógicos programables con registros</u>	687
11.1.1	Secuenciadores lógicos programables mediante campos	691
11.1.2	PAL con registro	696
11.1.3	PLD con macroceldas lógicas programables	700
11.2	<u>Arreglos programables de compuertas</u>	702
11.2.1	Arreglos de celdas lógicas	705
11.2.2	FPGA ACT	713
11.3	<u>Diseño de circuitos secuenciales y selección de dispositivos PLD</u>	715
11.4	<u>Ejemplos de diseño de PLD</u>	717
11.5	<u>Diseño asistido por computadora de PLD secuenciales</u>	723
11.5.1	Representación del diseño de un circuito secuencial mediante PDL	723
11.5.2	Procesamiento de un archivo de diseño en PDL	729
11.6	<u>Resumen</u>	733
12	Verificación de circuitos lógicos y diseño verificable	738
12.1	<u>Verificación de circuitos lógicos digitales</u>	739
12.2	<u>Modelos de fallas</u>	740
12.3	<u>Verificación de un circuito lógico combinatorio</u>	741
12.3.1	Generación de pruebas	742
12.3.2	Fallas no verificables	751
12.3.3	Redes con varias salidas	752
12.3.4	Conjuntos de pruebas para detección de fallas	753
12.3.5	Localización y diagnóstico de fallas	757
12.3.6	Verificación aleatoria	758

12.4	<u>Verificación de circuitos lógicos secuenciales</u>	760
12.5	<u>Diseño para la verificabilidad</u>	763
12.5.1	Diseño de una ruta de rastreo	764
12.6	<u>Autoverificación integrada</u>	768
12.6.1	Generación pseudoaleatoria de vectores de prueba	769
12.6.2	Análisis de identificaciones	772
12.6.3	Observador integrado de bloque lógico	775
12.7	<u>Rastreo de frontera en el nivel de sistema y de tarjeta</u>	777
12.8	<u>Resumen</u>	781
13	Ejemplos de diseño	788
13.1	<u>Máquina tragamonedas electrónica</u>	789
13.1.1	Definición del problema	789
13.1.2	Necesidades del sistema y plan de solución	790
13.1.3	Diseño lógico	792
13.2	<u>Sistema de entrada automática sin llave</u>	801
13.2.1	Definición del problema	801
13.2.2	Necesidades del sistema	803
13.2.3	Diseño lógico	805
13.3	<u>Controlador de tráfico de un carril</u>	810
13.3.1	Necesidades del sistema	813
13.3.2	Diseño lógico	815
13.4	<u>Caja registradora de una tienda de abarrotes</u>	821
13.4.1	Necesidades del sistema	823
13.4.2	Diseño lógico	824
Índice		832