
Contenido

Introducción

1.	Definición de arquitectura de computadoras	XI
2.	Objetivos de este libro	XII
3.	Cómo usar este libro	XIV
4.	Agradecimientos	XV

Capítulo 1: Conceptos básicos de procesadores

1.1.	Diseño de un repertorio de instrucciones	2
1.1.1.	Decisiones acerca del tipo de almacenamiento de operandos	3
1.1.2.	Decisiones acerca de la interpretación de las direcciones de memoria y de los modos de direccionamiento soportados	7
1.1.3.	Otras decisiones	11
1.1.4.	Codificación del repertorio de instrucciones	12
1.1.5.	Mejoras y optimizaciones del repertorio de instrucciones	14
1.2.	Mecanismo completo de ejecución de una instrucción	15
1.3.	Evaluación de prestaciones de un procesador	18
1.4.	Diseño de procesadores secuenciales	19
1.4.1.	Procesador monociclo	20
1.4.2.	Procesador multiciclo	25
1.4.3.	Tratamiento de excepciones en procesadores secuenciales	33
1.5.	Diseño de procesadores segmentados	35
1.5.1.	Conceptos básicos de segmentación	36
1.5.2.	Resolución de riesgos en procesadores segmentados	40
1.5.3.	Procesadores segmentados multifuncionales	58
1.5.4.	Tratamiento de excepciones	63
	RESUMEN DE DECISIONES DE DISEÑO DEL REPERTORIO DE INSTRUCCIONES	66
	RESUMEN DE DECISIONES DE DISEÑO DEL PROCESADOR	67
	Procesadores secuenciales	67
	Procesadores segmentados	67
	BIBLIOGRAFÍA Y LECTURAS RECOMENDADAS	68
	PROBLEMAS	69
	AUTOEVALUACIÓN	73

Capítulo 2: Conceptos básicos de memoria y E/S

2.1.	Diseño de una jerarquía de memoria básica	76
2.2.	Mecanismo completo de acceso a memoria	79

2.3.	Evaluación de prestaciones de la jerarquía de memoria	81
2.4.	Niveles de la jerarquía de memoria	82
2.4.1.	Diseño de la memoria caché.....	82
2.4.2.	Diseño de la memoria principal	100
2.4.3.	Diseño de la memoria virtual	104
2.5.	Diseño de un sistema de E/S básico	108
2.6.	Mecanismo completo de una operación de E/S.....	110
2.7.	Evaluación de prestaciones del sistema de E/S	111
2.8.	Buses de E/S.....	112
2.8.1.	Diseño de buses de E/S.....	113
2.8.2.	Diseño de jerarquías de buses.....	117
2.9.	Gestión del sistema de E/S	120
2.9.1.	E/S programada con espera de respuesta.....	120
2.9.2.	E/S con interrupciones	120
2.9.3.	E/S con acceso directo a memoria	126
RESUMEN DE DECISIONES DE DISEÑO DE LA JERARQUÍA DE MEMORIA		130
	Memoria caché	130
	Memoria principal	130
	Memoria virtual.....	131
	Buses de E/S.....	131
	Gestión E/S.....	132
BIBLIOGRAFÍA Y LECTURAS RECOMENDADAS		132
PROBLEMAS		133
AUTOEVALUACIÓN.....		136

Capítulo 3: Técnicas de aumento de prestaciones para procesadores

3.1.	Planificación dinámica de instrucciones.....	138
3.1.1.	Planificación de instrucciones de acceso a memoria	139
3.1.2.	Planificación dinámica de instrucciones centralizada	141
3.1.3.	Planificación dinámica de instrucciones distribuida	145
3.2.	Predicción dinámica de saltos	150
3.2.1.	Estructuras hardware para la predicción de salto	151
3.2.2.	Predictores de salto	161
3.3.	Emisión múltiple de instrucciones.....	167
3.3.1.	VLIW.....	167
3.3.2.	Superescalar estática	169
3.3.3.	Superescalar dinámica.....	172
3.4.	Especulación.....	173
3.5.	Multithreading.....	181
RESUMEN DE DECISIONES DE DISEÑO DE TÉCNICAS DE AUMENTO DE PRESTACIONES PARA PROCESADORES		184
	Planificación dinámica de instrucciones.....	184
	Predicción dinámica de saltos	184

Emisión múltiple de instrucciones y especulación	185
Paralelismo a nivel de thread	185
BIBLIOGRAFÍA Y LECTURAS RECOMENDADAS	185
PROBLEMAS	186
AUTOEVALUACIÓN.....	190

Capítulo 4: Técnicas de aumento de prestaciones para memoria y E/S

4.1. Técnicas de optimización para la memoria caché.....	192
4.1.1. Reducción de la penalización por fallo.....	192
4.1.2. Reducción de la tasa de fallos	196
4.1.3. Reducción del tiempo de acceso	200
4.2. Técnicas de optimización para la memoria principal.....	206
4.2.1. Incremento del ancho de banda	207
4.3. Técnicas de optimización conjunta para todos los niveles de la jerarquía: visión global de la jerarquía de memoria.....	211
4.3.1. Soporte a las técnicas de optimización del procesador	211
4.3.2. Almacenamiento local vs memoria caché.....	212
4.4. Técnicas de optimización para los buses de E/S	212
4.4.1. Ancho de datos y frecuencia de operación	212
4.4.2. Número de transferencias por ciclo.....	214
4.4.3. Utilización de protocolos de comunicaciones de alto rendimiento	215
4.5. Técnicas de optimización para los dispositivos de E/S.....	217
4.5.1. Optimización para los dispositivos de almacenamiento: RAID	217
4.6. Técnicas de optimización para la gestión de E/S	223
4.6.1. Procesador para el sistema gráfico: GPU	223
RESUMEN DE DECISIONES DE DISEÑO DE TÉCNICAS DE AUMENTO DE PRESTACIONES PARA MEMORIA Y E/S.....	228
Aumento de prestaciones de la memoria caché	228
Aumento de prestaciones de la memoria principal	228
Aumento de prestaciones de buses de E/S	228
Aumento de prestaciones de dispositivos de E/S: almacenamiento.....	229
Aumento de prestaciones en la gestión de E/S.....	229
BIBLIOGRAFÍA Y LECTURAS RECOMENDADAS	229
PROBLEMAS	230
AUTOEVALUACIÓN.....	233

Capítulo 5: Sistemas multiprocesador y multicomputador

5.1. Clasificación de arquitecturas con varios procesadores.....	236
5.1.1. Arquitecturas de memoria compartida.....	237
5.1.2. Arquitecturas de memoria compartida-distribuida	238
5.1.3. Arquitecturas de memoria distribuida.....	239

5.1.4.	Arquitecturas on-chip de memoria compartida.....	240
5.1.5.	Arquitecturas on-chip de memoria distribuida.....	242
5.2.	Redes dentro de arquitecturas de computadoras.....	242
5.2.1.	Topología.....	245
5.2.2.	Técnicas de conmutación.....	249
5.2.3.	Técnicas de encaminamiento.....	252
5.2.3.	Técnicas de control de flujo.....	253
5.3.	Diseño de arquitecturas de memoria compartida.....	254
5.3.1.	Soluciones para el problema de la coherencia.....	257
5.3.2.	Soluciones para el problema de la consistencia.....	269
5.3.3.	Soluciones para el problema de la sincronización.....	272
5.4.	Diseño de arquitecturas de memoria compartida-distribuida.....	274
5.4.1.	Soluciones para el problema de la coherencia.....	275
5.5.	Diseño de arquitecturas de memoria distribuida.....	283
5.5.1.	Clusters.....	283
5.5.2.	Grids.....	286
RESUMEN DE DECISIONES DE DISEÑO DE SISTEMAS MULTIPROCESADOR Y MULTICOMPUTADOR.....		288
Diseño de redes dentro de arquitecturas.....		288
Diseño de arquitecturas de memoria compartida.....		288
Diseño de arquitecturas de memoria compartida-distribuida.....		288
Diseño de arquitecturas de memoria distribuida.....		289
BIBLIOGRAFÍA Y LECTURAS RECOMENDADAS.....		289
PROBLEMAS.....		290
AUTOEVALUACIÓN.....		296
Capítulo 6: Evaluación de prestaciones		
6.1.	Definición de métricas de rendimiento.....	298
6.2.	Métricas de rendimiento sencillas.....	299
6.3.	Evaluación y comparación de rendimiento.....	300
6.3.1.	Ley de Amdhal y Ley de Gustafson.....	303
6.4.	Técnicas de medida y benchmarks.....	307
6.4.1.	Técnicas de medida.....	308
6.4.2.	Tipos de benchmark.....	310
6.5.	Métricas de rendimiento complejas.....	312
6.5.1.	Speedup en sistemas paralelos y eficiencia.....	313
6.5.2.	Escalabilidad.....	315
BIBLIOGRAFÍA Y LECTURAS RECOMENDADAS.....		317
PROBLEMAS.....		318
AUTOEVALUACIÓN.....		320
Índice analítico.....		321